

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-077833

(43)Date of publication of application : 11.03.1992

(51)Int.Cl. G06F 11/22
G06F 15/78

(21)Application number : 02-185337 (71)Applicant : NIPPON CHEMICON CORP

(22)Date of filing : 16.07.1990 (72)Inventor : KUNIOKA YASUHIRO

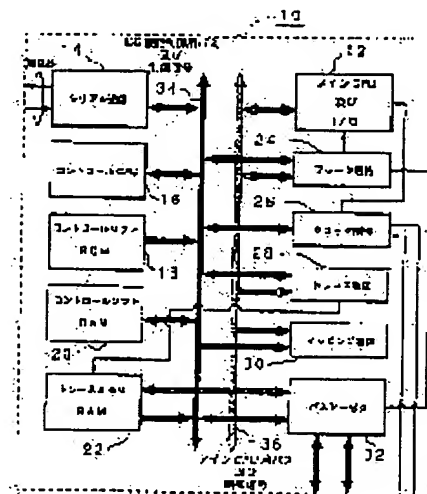
(54) INTEGRATED CIRCUIT PROVIDED WITH DEBUGGING ENVIRONMENT

(57)Abstract:

PURPOSE: To easily perform the debugging of the programs stored in a user ROM and RAM from the outside by performing the communication between a control CPU and the control soft ROM/RAM through a host computer via a serial communication block.

CONSTITUTION: A control CPU block 16 is provided in a microcomputer ASIC chip 10 independently of a main CPU 12 in order to control a real time executing function, a breaking function, a contents confirming function, a tracing function, and a mapping function which are necessary for an in-circuit emulator at execution of a system debugging operation. Then a ROM 18 and a RAM 20 are added to store the control software for system debugging together with a trace memory RAM 22

which stores the tracing contents results, and a serial communication block 14 which secures the communication with a host computer at debugging. Thus it is possible to secure a system debugging function similar to that of an ICE and also to facilitate the emulation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-77833

⑪ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月11日

G 06 F 11/22
15/783 4 0 A 9072-5B
5 1 0 K 7530-5L

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 デバッグ環境を備えた集積回路

⑮ 特 願 平2-185337

⑯ 出 願 平2(1990)7月16日

⑰ 発 明 者 岡 岡 保 弘 東京都青梅市東青梅1丁目167番地の1 日本ケミコン株式会社内

⑱ 出 願 人 日本ケミコン株式会社 東京都青梅市東青梅1丁目167番地の1

⑲ 代 理 人 弁理士 浜田 治雄

明 細 書

1. 発明の名称

デバッグ環境を備えた集積回路

2. 特許請求の範囲

(1) メインCPUをコアにしてROMやRAMおよび周辺LSIの各種機能を1チップに組み合わせて特定用途向けに作られるマイコンASICチップ内に、システムデバッグを行うためにインサーキットエミュレータとして少なくとも必要な実行機能、ブレーク機能、内容確認機能、トレース機能、マッピング機能を制御する前記メインCPUとは独立したコントロールCPUブロックと、このシステムデバッグのためのコントロールソフトを格納するROMおよびRAMと、トレース内容記憶を格納するトレースメモリRAMと、プログラム実行中断のためのブレーク回路部と、デバッグ時にホストコンピュータとの通信を行うためのシリアル通信ブロックとから少なくとも構成することを特徴とするデ

バッグ環境を備えた集積回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はデバッグ環境を備えた集積回路に係り、特にマイクロコンピュータ（以下、マイコンと称する。）の組込まれた集積回路に適し、内蔵したソフトウェアのデバッグを容易に実行することができるデバッグ環境を備えた集積回路に関する。

〔従来の技術〕

従来、マイコン組込み製品における組込みソフトウェアのデバッグは、マイコンの動作を確認することができるインサーキットエミュレータ（以下、ICEと称する。）と呼ばれる装置を用いて行われている。この種の装置は、一般に第2図に示すような構成をしている。第2図において、参照符号40は、マイコン組込み製品であるターゲットマシンのであり、このターゲットマシン40上のマイコンLSI用ソケット42に、マイコンチ

特開平 4-77833(2)

ッブ48が内蔵されたプローブ46のケーブル44が接続される。プローブ46はケーブル50を介してI C E本体52と接続される。

このように構成されるI C Eにおいて、ターゲットマシン40と同様のマイコンチップ48が実装されたプローブ46は、ターゲットマシン40とI C E本体52とを接続するためのインタフェース部分に相当し、これによりI C E本体52があたかもソケット42上にあるかのように動作し、ターゲットマシン50のエミュレーション、部分命令の実行、解析などを行ってハードウェアおよびソフトウェアを含めたシステムデバッグを行うことができる。

(発明が解決しようとする課題)

しかしながら、前述したI C Eの構成では、ターゲットマシン40とプローブ46との間にケーブル44で接続される距離が必ず存在し、信号遅延、負荷容量、ノイズマージン等に影響を与えるため、ターゲットマシン

40の設計時にI C Eの接続を充分考慮して設計マージンを取る必要がある。しかるに、設置現場での実稼動条件が、開発現場におけるI C Eとの接続用に見積もった実稼動条件の設計マージン以上となるようなノイズの影響を受ける懸念現場であったりすると、実稼動デバッグ作業用にI C Eを使用できなくなったりする。また、最近のマイコンの高性能化に伴い動作周波数が益々高周波化され、信号遅延、負荷容量、ノイズマージン等の影響を受け易くなり、I C E使用による実稼動デバッグ環境が益々困難なものとなってきている。

更に、ターゲットマシン40の規模が大きくなるにつれ、開発時のハードウェアを設計する時以上にそのソフトウェアの開発にも多くの労力を必要とし、ソフトウェアのデバッグツールであるI C Eの果たす役目が益々重要になり、I C Eが不可欠となってきている。特にターゲットマシン40が特定ユーザー向マイコンASICである場合には、特

— 3 —

定ユーザー専用のI C Eを開発する必要があるが、しかし、特定ユーザー専用のためのマイコンASIC用I C Eを新たに開発することは、ユーザーへの開発費負担が非常に大きくなり、それはマイコンASIC開発とほぼ同様の負担規模となる。このため、マイコンASIC開発では個別に従来のような専用のI C Eを提供するということが困難になってきている。

そこで、本発明の目的は、I C Eと同様のシステムデバッグ機能を持ち、しかも実稼動状態でのエミュレーションのために従来のようにシステム設計時にI C Eとの余分なケーブルの接続マージンを見積もる必要がなく、容易に外部からのホストコンピュータと相互に通信を行いながらエミュレーションを行うことができ、コスト的にも特定ユーザー向のマイコンASICに資するデバッグ環境を備えた系集回路を提供するにある。

(課題を解決するための手段)

— 5 —

— 4 —

本発明に係るデバッグ環境を備えた系集回路は、メインCPUをコアにしてROMやRAMおよび周辺LSIの各種機能を1チップに組み合わせて特定用途向けに作られるマイコンASICチップ内に、システムデバッグを行うためにインサーキットエミュレータとして少なくとも必要な実行機能、ブレーク機能、内容確認機能、トレース機能、マッピング機能を創制する前記メインCPUとは独立したコントロールCPUブロックと、このシステムデバッグのためのコントロールソフトを格納するROMおよびRAMと、トレース内容結果を格納するトレースメモリRAMと、プログラム実行中断のためのブレーク回路部と、デバッグ時にホストコンピュータとの通信を行うためのシリアル通信ブロックとから少なくとも構成することを特徴とする。

(作用)

本発明に係るデバッグ環境を備えた系集回路

— 6 —

特開平 4-77833(3)

路によれば、コントロールソフトROMおよびRAM内に格納されたプログラムデバッグのためのソフトウェアの一部は、主にメモリ内容のリード・ライト、命令の実行およびレジスタの参照・変更など、コアになるマイクロプロセッサのハードウェア構成に依存する部分を処理する必要最少限のプログラムであり、かつ、ホストコンピュータ上のデバッグ用ソフトウェアにより処理したい機能に共通時に使用できる最も低レベルの処理内容のプログラムである。例えば、ホストコンピュータからシリアル通信ブロックを介してアドレスデータを読み、そのアドレスの内容をシリアル通信ブロックへ出力するというような処理プログラムであり、ホスト側は、この機能を読みきかせてメモリダンプ（メモリ内容の表示）コマンドを実現する。このように、ホストコンピュータからシリアル通信ブロックを介してコントロールCPU及びコントロールソフトROM・RAMとの間で通信を行い

ながら、ユーザROM及びRAM内に格納されたプログラムのデバッグを外部から容易に実行することができる。

さらに、本発明に係るデバッグ環境を備えた集積回路は、ICEとして少なくとも必要なメモリの代替機能であるマッピング機能を実行できると共に、実行経路の確認を行うトレース機能によりトレースメモリRAM内にトレース内容を格納することができる。

〔実施例〕

次に本発明に係るデバッグ環境を備えた集積回路の実施例につき、添付図面を参照しながら以下詳細に説明する。

第1図は、本発明の一実施例を示すデバッグ環境を備えた集積回路の内部ブロック構成図である。第1図において参照符号10は、対象となるマイコン（メインCPUと以下称する）を内蔵したマイコンASICチップであり、このチップ10はメインCPUおよびI/Oブロック12と、リモートデバッグブ

- 7 -

リミティブプログラム（以下、モニタプログラムと称する。）等のICEとして動作するのに必要なプログラムの一部を格納したコントロールソフトROM18及びコントロールソフトRAM20と、デバッグ制御用に付加されたブレイク回路部24およびこれらを制御するコントロールCPU16と、ホストコンピュータと通信を行いながらデバッグするためのシリアル通信ブロック14と、クロック制御ブロック26と、トレース制御ブロック28と、マッピング制御ブロック30と、バスアービタ32と、さらにこれらのブロック間を結ぶICE機能制御用バス及び制御信号用バス34と、メインCPU用バス及び制御信号用バス36とから構成される。

このようなマイコンASICチップ10が搭載されるターゲットマシンを図示しないホストコンピュータと接続して、マイコンASIC10内のユーザプログラムを、内蔵するコントロールCPU16とホストコンピ

- 8 -

ュークとが相互に通信を行いながらデバッグすることができる。このプログラムをデバッグする際の処理シーケンスにつき、以下説明する。

(1) 起動時：

ホスト側は、マイコンASIC10を先ず初期化させるためマイコンASIC10に対して通信線を通じて“R”の文字（リセットトークン）を送る。マイコンASIC10側は起動時、マイコンASIC10内のコントロールソフトROM18に格納されたモニタプログラムが制御権を持つようコントロールCPU16が制御し、シリアル通信ブロック14を介して通信線からのトークンが入力されるのを待っている。そこにホスト側からトークンが送られてくるのでマイコンASIC10側はこのトークンを解析して（この場合はリセットトークンだから）、モニタの初期化（例えば、モニタプログラムの管理するレジスタセーブエリアの内容を初期化する）や

- 9 -

- 10 -

特開平 4-77833(4)

回路の初期化（例えば、ブレーク回路部24をリセットする）を行い、再び通信線からのトークンが入力されるのを待つ。

(2) ブレークアドレスの設定：

ユーザがホストコンピュータのキーボードから、ブレークアドレスの設定のためのコマンドを入力すると、ホスト側デバッグプログラムがこのコマンドを解析して、マイコンASIC10に対して通信線を介して“B”の文字（ブレークトークン）およびブレークアドレスデータを送る。

マイコンASIC10側のコントロールCPU16は、このトークンを解析し（この場合はブレークトークンだから）、ブレーク回路部24にブレークアドレスデータの設定を行い、再び通信線からのトークンが入力されるのを待つ。

(3) ユーザプログラムの実行と

ブレークの発生：

ユーザがホストコンピュータのキーボード

から、図示しないユーザROMおよびRAM内に格納されたユーザプログラム実行のためのコマンドを入力すると、ホスト側デバッグプログラムがこのコマンドを解析して、マイコンASIC10に通信線を介して“G”の文字（ゴートークン）および実行開始アドレスデータを送り、その後マイコンASIC10側からブレーク発生トークンが送られるのを待つ。

マイコンASIC10側のコントロールCPU16は、ホスト側から送られてきたトークンを解析し（この場合はゴートークンだから）、レジスタセーブエリアの内容をレジスタに宛し、指定アドレスにジャンプする。これにより、ユーザプログラムが実行される。

ユーザプログラムが実行され、ブレークアドレスまで来ると、ブレーク回路部24によるソフトウェア割り込みが発生し、制御権はコントロールCPU16によりモニタプログラムに戻る。モニタプログラムは、ブレーク

- 11 -

が発生したことをホスト側にトークンを送ることにより知らせ、再びホスト側から通信線を介してトークンが入力されるのを待つ。

以下、上記した(2)、(3)の動作シーケンスを繰り返すことによって、ホストコンピュータからマイコンASIC10のユーザプログラムのエミュレーションを行って、システムデバッグを行うことができる。

このように動作するモニタプログラム格納のためのコントロールソフトROM18およびコントロールソフトRAM20およびこれらを制御するコントロールCPU16をマイコンASIC10のチップ内にメインCPU12と独立して設けることによって、メインCPU12がユーザプログラムを実行中にデバッグを行うことが可能となる。すなわち、ユーザプログラム実行中のメインCPU12およびバス36の状態、メモリ内容の確認等の機能を待つことができ、デバッグ作業を行うことができる。

- 13 -

- 12 -

なお、モニタプログラムは、個々のターゲットマシンのメインCPU12用に作る必要はあるが、小規模プログラムなのでその労力は従来の専用ICEの開発に比べて大したことではない。また、ホストコンピュータ側のデバッグホストプログラムは、高級言語で記述可能なプログラムであるので、一度プログラムを作成すれば、専用のホストコンピュータだけを使用する必要はなく、容易に他のコンピュータへの移植ができ、ホストコンピュータの使用に融通性がある。

その他、本実施例ではICEの主機能であるマッピング機能およびトレース機能を実行するために、トレース制御ブロック28と、マッピング制御ブロック30とが搭載されている。マッピング制御ブロック30では、ターゲットメモリアドレス（メインCPU12のメモリアドレス）をエミュレーションメモリアドレス（内部または外部のメモリ）に変換し、このときバスアービタ32によるバス

- 14 -

特開平 4-77833(5)

の切替えが行われる。また、トレース制御ブロック28は、メインCPU12の実行状態をリアルタイムでトレースし、トレース内容をトレースメモリRAM22に格納するよう動作する。

また、第1図に示すクロック制御ブロック26への2本の入力は、ICB固有のクロックと図示しないターゲットボードのクロックからの入力であり、いずれを選択するかはプログラムに依存し、選択されたクロック信号がメインCPU12に対して出力される。

なお、本実施例では、メインCPU12として特定用途向のマイコンASICチップを例に説明したが、汎用マイコンチップに対しても適用できることは勿論である。

〔発明の効果〕

前述した実施例から明らかなように、本発明によれば、マイコンASIC内のユーザプログラムをチップ内に搭載されたコントロールCPUと外部のホストコンピュータとが通

信を行いながらデバッグでき、しかもこのようなプリミティブデバッグプログラムをマイコンASICチップ上に設けたコントロールソフトウェアおよびRAM内に格納する構成とすると共に、デバッグサポートの大部分をホストコンピュータ側のデバッグホストプログラムが行うようにしているため、このリモートプリミティブデバッグプログラムは小規模のもので良い。このためマイコンASIC上のコントロールCPU、コントロールソフトウェアおよびコントロールソフトウェアのサイズはメインCPUおよびユーザROM・RAMに比べて小さなもので済む。しかも、従来の個別部品で作られるICBと同様のエミュレーション機能を持ち、容易に外部からパソコン等のホストコンピュータにより、実際のターゲットマシンのマイコンASIC上で直接デバッグ作業が可能となるために、効果的なプログラム開発が期待できる。

従って、マイコンASIC用に高価な専用

- 15 -

ICBを個々に開発しなくともシステムデバッグが実行でき、その経済的効果は大きいものがある。

さらに、メインCPUと同一チップ内にICBの主機能を実行するデバッグ用コントロールCPUおよびデバッグ用回路等を搭載したため、従来のようなマイコンASIC開発時においてICBの特性やケーブルの長さ等を考慮した接続マージンなどの見直しを不要とする効果も得られる。

以上、本発明の好適な実施例について説明したが、本発明は前記実施例に限定されず、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

4. 図面の簡単な説明

第1図は本発明に係るデバッグ環境を備えた集積回路の一実施例を示す集積回路の要部ブロック構成図、第2図は従来のICBの構成例を示す図である。

- 17 -

- 16 -

- 10…マイコンASICチップ
- 12…メインCPU及びI/O
- 14…シリアル通信ブロック
- 16…コントロールCPU
- 18…コントロールソフトウェアROM
- 20…コントロールソフトウェアRAM
- 22…トレースメモリRAM
- 24…ブレイク回路部
- 26…クロック制御ブロック
- 28…トレース制御ブロック
- 30…マッピング制御ブロック
- 32…バスアービタ
- 34…ICB機能制御用バス及び制御信号用バス
- 36…メインCPU用バス及び制御信号用バス
- 40…ターゲットマシンの
- 42…ソケット
- 44…ケーブル
- 46…プローブ
- 48…マイコンチップ

- 18 -

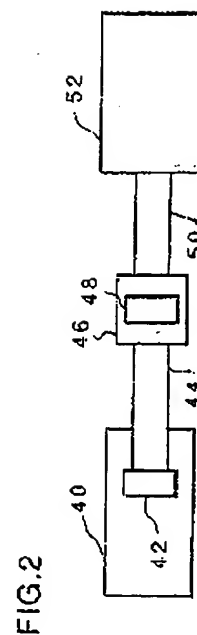
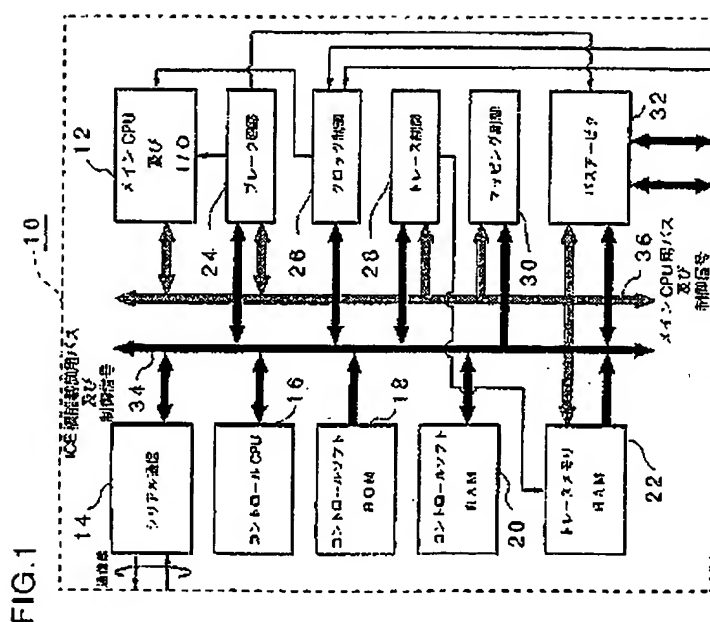
特開平 4-77833(6)

56... ケーブル
52... IC 本体

特許出願人 日本ケミコン株式会社
出願人代理人 弁理士 浜田



- 19 -



? e pn=jp 4077833

Ref	Items	Index-term
E1	1	PN=JP 4077805
E2	1	PN=JP 4077812
E3	0	*PN=JP 4077833
E4	1	PN=JP 4077846
E5	1	PN=JP 4077872
E6	1	PN=JP 4077874
E7	1	PN=JP 4077878
E8	1	PN=JP 4077959
E9	1	PN=JP 4078008
E10	1	PN=JP 4078009
E11	1	PN=JP 4078010
E12	1	PN=JP 4078011

Did Not Find in
Derwent

Enter P or PAGE for more
? e pn=jp 477833

Ref	Items	Index-term
E1	1	PN=JP 47047880
E2	1	PN=JP 47100085
E3	0	*PN=JP 477833
E4	1	PN=JP 48000008
E5	1	PN=JP 48000012
E6	1	PN=JP 48000013
E7	1	PN=JP 48000014
E8	1	PN=JP 48000018
E9	1	PN=JP 48000019
E10	1	PN=JP 48000020
E11	1	PN=JP 48000022
E12	1	PN=JP 48000025

Enter P or PAGE for more
? e pn=jp 1992077833

Ref	Items	Index-term
E1	1	PN=JP 1511710
E2	1	PN=JP 1511843
E3	0	*PN=JP 1992077833
E4	1	PN=JP 2000000001
E5	1	PN=JP 2000000002
E6	1	PN=JP 2000000003
E7	1	PN=JP 2000000004
E8	1	PN=JP 2000000005
E9	1	PN=JP 2000000006
E10	1	PN=JP 2000000007
E11	1	PN=JP 2000000008
E12	1	PN=JP 2000000009

Enter P or PAGE for more
? e pn=jp 1995027472

Ref	Items	Index-term
E1	1	PN=JP 1511710
E2	1	PN=JP 1511843
E3	0	*PN=JP 1995027472
E4	1	PN=JP 2000000001
E5	1	PN=JP 2000000002
E6	1	PN=JP 2000000003
E7	1	PN=JP 2000000004
E8	1	PN=JP 2000000005
E9	1	PN=JP 2000000006
E10	1	PN=JP 2000000007
E11	1	PN=JP 2000000008
E12	1	PN=JP 2000000009

Enter P or PAGE for more
? e pn=jp 7274472

Ref	Items	Index-term
E1	1	PN=JP 7274470
E2	1	PN=JP 7274471
E3	1	*PN=JP 7274472
E4	1	PN=JP 7274473
E5	1	PN=JP 7274474

E6 1 PN=JP 7274475
 E7 1 PN=JP 7274476
 E8 1 PN=JP 7274477
 E9 1 PN=JP 7274478
 E10 1 PN=JP 7274479
 E11 1 PN=JP 7274480
 E12 1 PN=JP 7274481

Enter P or PAGE for more

? s e3

S2 1 PN='JP 7274472'

? t s2/3,ab/all

2/3,AB/1

DIALOG(R)File 351:Derwent WPI

(c) 2004 Thomson Derwent. All rts. reserv.

010506059

WPI Acc No: 1996-003010/ 199601

XRFX Acc No: N96-002752

Stepper motor e.g. actuator for motor vehicle - has stopper pin and contact piece set up at resin part of rotor in rotational direction

Patent Assignee: MATSUSHITA DENKI SANGYO KK (MATU)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7274472	A	19951020	JP 9453947	A	19940324	199601 B

Priority Applications (No Type Date): JP 9453947 A 19940324

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 7274472	A		5	H02K-037/24	

Abstract (Basic): JP 7274472 A

The stepper motor consists of a stopper pin (12) and a contact piece (13) set up at a resin part (10) of rotor, in the direction of rotation. A female screw (10a) is set up at the internal circumference part of a magnet (11). The contact piece of stopper is set up at a predetermined position from the female screw. A male screw is set up at a shaft (9). The stopper pin is at a predetermined position from the male screw.

The male screw of the shaft and the female screw of the rotor match with each other. Rotational movement of the rotor caused by energizing the stator windings is converted to linear movement through the male screw of shaft and female screw of rotor. Movement is stopped by contact of stopper pin with the contact piece.

USE/ADVANTAGE - In e.g. intake/exhaust system of engine. Prevents mitigation of power when stopper pin touches contact piece. Prevents wearing of female screw and male screw. Improves initial position accuracy of shaft.

Dwg.1/12

1-1/1 From - CountDisplay format ☐ ** Result [P] ** Format(P807) 2004.12.10 1/ 1☐ C

Application no/date: 1990-185337[1990/ 7/16]
 Date of request for examination: [1992/ 4/22]
 Accelerated examination ()
 Public disclosure no/date: 1992- 77833 [1992/ 3/11]
 Examined publication no/date (old law): 1995- 27472 [1995/ 3/29]
 Registration no/date: 1998399[1995/12/ 8]
 Examined publication date (present law): []
 PCT application no:
 PCT publication no/date: []
 Applicant: NIPPON CHEMICON CORP
 Inventor: KUNIOKA YASUHIRO
 IPC: G06F 11/22 ,340
 FI: G06F 11/22 ,340A G06F 15/78 ,510K G06F 11/22 ,340C
 F-Term: 5B062CC04,CC05,DD10,EE05,JJ03,JJ08,5B048AA12,BB02,DD00
 Expanded classification: 451,454
 Fixed keyword: R131
 Citation:
 [19,1993. 1. 6,04] (04,JP,Unexamined Patent Publication,1988108438)
 [19,1994. 6. 9,04] (04,JP,Unexamined Patent Publication,1988208131)
 [19,1994. 6. 9,04] (04,JP,Unexamined Patent Publication,1990096843)
 Title of invention: INTEGRATED CIRCUIT PROVIDED WITH DEBUGGING ENVIRONMENT

Viability information of application: (right is in force)
 Priority country/date/number: () [] ()
 Domestic priority: [] ()
 Original application number: ()
 Original registration number: ()
 Retroactive date: []
 No. of claims (1)
 Classification of examiners decision/date: (decision of registration(allowance)
) [1995/ 9/12]
 Final examination transaction/date: (registration) [1995/12/ 8]
 Examination intermediate record:
 (A63 1990/ 7/16,PATENT APPLICATIONUTILITY MODEL REGISTRATION APPLICATION, 1
 4000:) (A23 1990/ 8/10,NOTICE OF APPLICATION NUMBER, :)
 (A621 1992/ 4/22,WRITTEN REQUEST FOR EXAMINATION, 58000:)
 (A7D2 1992/ 9/14,NOTIFICATION OF LUMP CHANGE IN DOMICILE (REPRESENTATIVE),
 :)
 (A131 1993/ 2/ 2,WRITTEN NOTICE OF REASON FOR REJECTION, :)
 (A523 1993/ 4/ 2,WRITTEN AMENDMENT, :)
 (A53 1993/ 4/ 2,WRITTEN OPINION, :)
 (A131 1994/ 7/ 5,WRITTEN NOTICE OF REASON FOR REJECTION, :)
 (A523 1994/ 9/ 5,WRITTEN AMENDMENT, :)
 (A53 1994/ 9/ 5,WRITTEN OPINION, :)
 (A15 1994/11/22,DECISION OF PUBLICATION OF APPLICATION, :)
 (A315 1995/ 8/25,PUBLICATION RETURN, :)
 (A01 1995/ 9/12,DECISION TO GRANT A PATENTDECISION OF REGISTRATION, :
) (A61 1995/10/ 9,PAYMENT OF ANNUAL FEE, :)

*** Trial no/date [] Kind of trial []
] ***

Demandant: -

Defendant: -
Opponent: -
Classification of trial decision of opposition/date: () []
Final disposition of trial or appeal/date: () []
] Trial and opposition intermediate record:

Registration intermediate record:

(R20 1998/ 1/30,A WRITTEN ANNUITY PAYMENT, :01)
(R2501 1998/ 3/ 3,A RECEIPT OF ANNUITY PAYMENT (LUMP SUM PAYMENT), :01)
(R20 1999/ 3/17,A WRITTEN ANNUITY PAYMENT, :02)
(R250 1999/ 3/30,A RECEIPT OF ANNUITY PAYMENT (INSTALLMENT PAYMENT), :
02)(R20 2000/ 2/29,A WRITTEN ANNUITY PAYMENT, :03)
(R2501 2000/ 3/14,A RECEIPT OF ANNUITY PAYMENT (LUMP SUM PAYMENT), :03)
(R20 2001/ 2/ 5,A WRITTEN ANNUITY PAYMENT, :04)
(R2501 2001/ 4/ 3,A RECEIPT OF ANNUITY PAYMENT (LUMP SUM PAYMENT), :04)
(R20 2002/ 2/28,A WRITTEN ANNUITY PAYMENT, :05)
(R2501 2002/ 3/19,A RECEIPT OF ANNUITY PAYMENT (LUMP SUM PAYMENT), :05)
(R20 2003/ 1/28,A WRITTEN ANNUITY PAYMENT, :06)
(R2501 2003/ 2/12,A RECEIPT OF ANNUITY PAYMENT (LUMP SUM PAYMENT), :06)
(R20 2004/ 2/27,A WRITTEN ANNUITY PAYMENT, :07)
(R2501 2004/ 3/16,A RECEIPT OF ANNUITY PAYMENT (LUMP SUM PAYMENT), :07)

Amount of annuity payment: 10Years

Extinction of right/Lapse date of right: () []

Proprietor: 13-NIPPON CHEMICON CORP

Status of register: ()

Check All

Uncheck All

Display checked documents

Display format ----- Select the type of output. -----

1-1/1

Next page

From 1 - 1 Count

Back to list